

Tentamen Computer Architectuur

4 augustus 2005

14.00 – 17.00

- Het tentamen bestaat uit 5 opgaven waarvoor 2 punten per opgave behaald kunnen worden.
- Gebruik voor elke opgave een nieuwe pagina. Schrijf op elk vel dat U inlevert uw naam, collegekaartnummer en opgavenummer. Vermeld op het eerste vel ook uw adres en studierichting.
- Bij het tentamen mogen geen boeken, artikelen, aantekeningen e.d. gebruikt worden.
- Schrijf duidelijk en *niet* met rode pen of potlood.
- *Succes!*

1. We beschouwen een load/store machine. Veronderstel de volgende karakterisatie van de operaties op deze machine

type	CPI	frequentie
ALU operaties	1	35%
Loads	3	25%
Stores	2	17%
Branches	2	23%

- (a) Wat is de CPI van deze machine?
- (b) Leg uit wat Amdahl's Law inhoudt.
- (c) Stel dat 40% van de instructies uit floating point instructies bestaat. Door genoeg hardware in te zetten kunnen deze flink versneld worden. Wat is de maximale speedup die bereikt kan worden door floating point instructies te versnellen?

2. In deze opgave worden caches besproken.

- (a) Leg uit wat *temporal* en *spatial locality* is en hoe dit door een cache uitgebuit wordt.

Veronderstel dat we een byte adresseerbare machine hebben, met 32 bits adressen, 4 bytes in een word en 4 words in een cache line. Veronderstel dat de cache 32 KByte groot is en direct mapped.

- (b) Gegeven het hexadecimale adres 1234 5678. In welke cache line komt het byte op dit adres terecht? Leg precies uit.
- (c) Bespreek **gedetailleerd** wat er gebeurt als vervolgens de hexadecimale adressen 1234 5679 en 1235 5678 aangesproken worden. Leg precies uit hoe de hardware tot conclusie 'hit' of 'miss' komt.
- (d) Doe dezelfde opgave voor een 2-way set associative cache met dezelfde grootte.

3. In het boek hebben we een 5 stage pipeline besproken voor de MIPS ISA. De stages zijn: (1) Instruction fetch (IF); (2) Instruction decode/register fetch (ID); (3) Execution/effective address calculation (EX); (4) Memory access/branch completion (MEM); en (5) Write back (WB).

- (a) Leg precies uit wat er in deze verschillende cycles gebeurt voor de verschillende soorten instructies die er voor de MIPS bestaan.
- (b) Bespreek de drie soorten *DATA hazards* die kunnen bestaan.
- (c) Leg uit wat bypassing of forwarding is en waarom dat gebruikt wordt.
- (d) Kunnen alle data hazards opgelost worden met behulp van forwarding? Zo nee, welke niet?

4. Virtual memory

- (a) Stel een virtual memory system heeft de volgende eigenschappen: 32 bits virtuele adressen, 40 bits fysieke adressen en een page grootte van 32 KByte. Verder wordt er gebruik gemaakt van valid, protection, dirty en use bits, die ieder 1 bit beslaan. Wat is de totale grootte van de page table voor ieder proces bij dit memory systeem?
- (b) Leg de werking en het nut van een TLB uit.
- (c) Leg het verschil uit tussen paging en segmentation. Geef een voordeel en een nadeel van beide.

5. Miscellaneous

- (a) Leg uit hoe een *victim cache* werkt.
- (b) Leg uit wat *sub-word parallelisme* betekent. Waarvoor of voor welke applicaties is dit een interessante techniek?
- (c) Om speculatief instructies te kunnen uitvoeren wordt er een Re-Order Buffer (ROB) gebruikt. Leg uit hoe een ROB werkt en hoe hij gebruikt kan worden om met speculatie om te gaan.
- (d) Leg uit hoe GSHARE werkt.